

「平成 17 年度 国際会議への派遣支援経費」に関する報告書

平成 18 年 3 月 1 日
情報基礎科学専攻 助手 福士 将

国際会議名: (英) The 20th IEEE International Symposium on Defect and Fault Tolerance in VLSI Systems (DFT)

(日) 第 20 回 VLSI システムの耐欠陥性および耐故障性に関する IEEE 国際シンポジウム

期間: 平成 17 年 10 月 3 日 ~ 5 日 (3 日間)

開催地: アメリカ合衆国 カリフォルニア州 モントレイ市 ポートラ プラザ ホテル

1. 国際会議の概要

“IEEE International Symposium on Defect and Fault Tolerance in VLSI Systems” (DFT) は、VLSI システムの耐故障性に関する研究分野において議論の機会を提供するシンポジウムとして、1986 年から毎年開催されている歴史のあるシンポジウムである。今年で 20 回目の開催となり、今年は平成 17 年 10 月 3 日 ~ 5 日の 3 日間、アメリカ合衆国カリフォルニア州のモントレイ市で開催された。このシンポジウムは、学術的な新しい研究と最新の製造技術データを統合し、この分野の問題解決に貢献してきた点に特徴がある。VLSI システムの製造中に発生する欠陥問題や稼動中に発生する故障問題に関係する、設計、製造、テスト、信頼性、可用性などの幅広い研究分野を対象としている。今回のシンポジウムでは、口頭発表やポスター発表など約 60 件の発表があり、活発な議論が行われた。

2. 発表論文と討論内容

当派遣支援により、DFT に参加し下記タイトルの口頭発表を行うことができた。

“A Genetic Approach for the Reconfiguration of Degradable Processor Arrays

Masaru Fukushi, Yusuke Fukushima, and Susumu Horiguchi

本発表は、集積実装される 2 次元 VLSI プロセッサアレイの機能縮退に関するものである。機能縮退により欠陥プロセッサを回避しながらアレイ結合の再構成を行う場合、制御が非常に複雑になるため、これまでは簡略化した手法しか提案されていなかった。本発表では、欠陥プロセッサの回避方向を決定するために確率的手法である遺伝的アルゴリズムを用い、従来法よりも高い収穫率が実現可能なことを示した。

発表に対して、いくつかの有益な意見を頂いた。なかでも、高性能なチップの実現のために再構成後の隣接プロセッサ間距離を一定以下に抑えるように制約を加えるべきことや、欠陥プロセッサの対処法など、今後の研究に大いに役立つような貴重な意見を頂いた。また、自分の口頭発表での質疑に加え、他の研究者の発表およびポスター発表を通じて、海外の研究者とのコミュニケーションを行い、他の研究分野での基礎知識の獲得や、近年の研究動向の把握など、今後の自分の研究に非常に役立つ有意義な国際会議であった。

今回の発表の機会を与えて下さった関係各位に深く感謝いたします。